



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 101 20 764 A 1**

⑤⑦ Int. Cl. 7:  
**G 06 F 1/12**  
H 04 L 7/033

②① Aktenzeichen: 101 20 764.6  
②② Anmeldetag: 27. 4. 2001  
②③ Offenlegungstag: 7. 11. 2002

DE 101 20 764 A 1

⑦① Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
⑦④ Vertreter:  
Wilhelm & Beck, 80636 München

⑦② Erfinder:  
Stief, Reidar, 81739 München, DE; Rohleder,  
Markus, 81541 München, DE

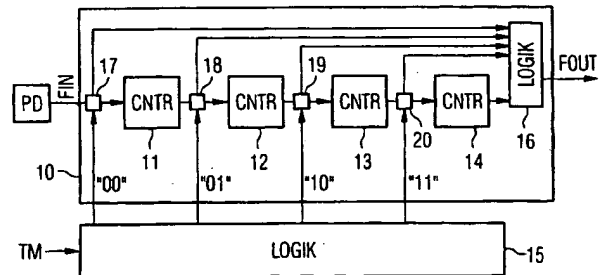
⑤⑥ Entgegenhaltungen:  
DE 199 10 885 A1  
DE 198 30 571 A1  
US 60 31 429  
EP 07 62 262 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Schaltung zum Synchronisieren von Signalen beim Informationsaustausch zwischen Schaltkreisen

⑤⑦ Die Erfindung betrifft eine Schaltung zum Synchronisieren von Signalen beim Informationsaustausch zwischen Schaltkreisen, insbesondere zwischen Computer-Chips, eines Systems von Schaltkreisen, mit einem DLL(Delay Locked Loop)-Schaltkreis zum Synchronisieren des internen Takts zwischen einem jeweiligen Schaltkreis und dem externen Takt des Schaltkreis-Systems nach Maßgabe der Phasendifferenz zwischen diesen beiden Takten in Abhängigkeit von Phasenänderungen der Signale, wobei die Ansprechempfindlichkeit des DLL-Schaltkreises durch einen Filter (10) festgelegt ist, der eine erneute Synchronisation erst nach Eintreffen einer Mehrzahl von Phasenänderungs-Ereignissen freigibt. Erfindungsgemäß ist vorgesehen, dass der Filter (10) zur Einstellung der Ansprechempfindlichkeit des DLL-Schaltkreises veränderbar ausgelegt ist.



DE 101 20 764 A 1

[0001] Die Erfindung betrifft eine Schaltung zum Synchronisieren von Signalen beim Informationsaustausch zwischen Schaltkreisen, insbesondere zwischen Computer-Chips, eines Systems von Schaltkreisen, mit einem DLL(Delay Locked Loop)-Schaltkreis zum Synchronisieren des internen Takts zwischen einem jeweiligen Schaltkreis und dem externen Takt des Schaltkreis-Systems nach Maßgabe der Phasendifferenz zwischen diesen beiden Takten in Abhängigkeit von Phasenänderungen der Signale, wobei die Ansprechempfindlichkeit des DLL-Schaltkreises durch einen Filter festgelegt ist, der eine erneute Synchronisation erst nach Eintreffen einer Mehrzahl von Phasenänderungs-Ereignissen freigibt.

[0002] Computer-Chips werden mit immer schnelleren Taktfrequenzen betrieben. Der Informationsaustausch zwischen den Computer-Chips erfolgt mit Signalen, die festgelegte Zeitvorgaben (Timing-Spezifikationen) einhalten müssen. Die dabei zur Verfügung stehenden Zeitreserven (Timing Margins) nehmen bei zunehmend schnelleren Taktfrequenzen ab. Die im Rahmen des Informationsaustauschs zwischen den Computer-Chips übertragenen Signale müssen daher mit zunehmend schnelleren Taktfrequenzen immer genauer in bezug aufeinander synchronisiert werden.

[0003] Die Aufgabe der angesprochenen Synchronisation übernimmt ein auf dem jeweiligen Computer-Chip implementierter Delay-Locked-Loop-Schaltkreis (im folgenden kurz als DLL-Schaltkreis bezeichnet). Der DLL-Schaltkreis synchronisiert den Computer-Chip-internen Takt mit dem Takt des Schaltkreis Systems bzw. des Systems von Computer-Chips. Der DLL-Schaltkreis umfasst hierzu einen Phasendetektor, der die Phasendifferenz zwischen dem internen Takt des Computer-Chips und dem externen Takt des Gesamtsystems bestimmt. Ferner umfasst der DLL-Schaltkreis variable Verzögerungsglieder (im folgenden auch als VCDL bezeichnet), die je nach Bedarf zu- bzw. abgeschaltet werden.

[0004] Damit der DLL-Schaltkreis nicht bei jeder Phasenänderung, welche prinzipiell in jedem Taktzyklus auftreten kann, Verzögerungsglieder zu- oder abschaltet, ist im DLL-Schaltkreis ein Filter vorgesehen. Funktion dieses Filters ist, erst nach mehrmaligem Eintreffen eines Eingangssignals ein Ausgangssignal zu treiben und damit erst nach einer bestimmten Anzahl von Taktzyklen die Synchronisation durch den DLL-Schaltkreis auszulösen. Der Filter ist in der Regel auf Grundlage mehrerer Zähler implementiert und er bestimmt, wie vorstehend angesprochen, die Empfindlichkeit des DLL-Schaltkreises auf Phasenänderungen. Die Anzahl der Zähler im Filter hängt vom speziellen Computer-Chip und dem Gesamtsystem von Computer-Chips ab und bildet bislang eine invariable Größe.

[0005] Eine Aufgabe der vorliegenden Erfindung besteht darin, eine Synchronisationsschaltung der eingangs genannten Art zu schaffen, deren Empfindlichkeit auf Phasenänderungen einstellbar ist.

[0006] Gelöst wird diese Aufgabe durch die Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0007] Demnach ist erfindungsgemäß der im DLL-Schaltkreis enthaltene Filter im Gegensatz zum Stand der Technik, der eine feste Filterkonfiguration vorsieht, veränderbar ausgelegt. Je nach Ausbildung des Filters kommen unterschiedliche Maßnahmen zur Veränderung der Filtercharakteristiken in Betracht. Für den Fall, dass der Filter mehrere Zähler zur Erzeugung eines Synchronisationsfreigabesignals umfasst, ist erfindungsgemäß ein Logikschaltkreis zum Aktivieren/Deaktivieren der Zähler vorgesehen.

[0008] Eine wesentliche Rolle spielt die erfindungsgemäße Einstellung der Empfindlichkeit des DLL-Schaltkreises auf Phasenänderungen von Eingangssignalen im Vorfeld der Freigabe von Computer-Chips bzw. allgemein von Schaltkreisen, die eine Synchronisation erfordern, um die Synchronisation vor dem Regelbetrieb mit festgelegter Ansprechempfindlichkeit gezielt auf die benötigte Ansprechempfindlichkeit einzustellen. Sobald diese Einstellung erfolgt ist, kann der Logikschaltkreis zum Einstellen der Ansprechempfindlichkeit des DLL-Schaltkreises, gegebenenfalls über Fuses außer Kraft gesetzt werden.

[0009] Neben dem hauptsächlichlichen Vorteil, demnach die Synchronisation zwischen Computer-Chips eines Systems von Computer-Chips im Vorfeld des Regelbetriebs erfindungsgemäß optimal eingestellt werden kann, ergibt sich der weitere Vorteil einer Reduzierung der Verriegelungszeit bzw. Lockzeit des DLL-Schaltkreises, d. h. einer Reduzierung der Dauer bis zur Einphasung des DLL-Schaltkreises. Ferner wird durch die Erfindung eine Regulierung des DLL-Stromverbrauchs erzielt, der maßgeblich durch die Anzahl der Zeitverzögerungsänderungen pro Zeiteinheit bestimmt ist und aufgrund der erfindungsgemäß nur teilweise aktivierten Filterbestandteile geringer ist als im Fall eines konstanten Betriebs sämtlicher Filterbestandteile. Schließlich gewährleistet die erfindungsgemäß ausgestaltete Synchronisationsschaltung eine Optimierung der Regelgeschwindigkeit des Gesamtsystems aus Schaltkreisen bzw. Computer-Chips.

[0010] Beim Aufbau des Filters aus mehreren Zählern lässt sich deren Aktivierung/Deaktivierung zur Änderung der Filtercharakteristik ohne großen Aufwand über ein Transferelement erzielen, das dem jeweiligen Zähler des Filters vorgeschaltet ist. Dieses Transferelement kann in unterschiedlicher Weise ausgelegt sein. Bevorzugt ist es dazu ausgelegt, einen bestimmten Zähler oder eine Gruppe von Zählern ein-/auszuschalten, während die übrigen Zähler bzw. der übrige Zähler eingeschaltet bleiben bzw. bleibt. Implementiert werden kann das Transferelement in kostengünstiger Weise über eine n-/p-FET-Kombination.

[0011] Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert; in dieser zeigen:

[0012] Fig. 1 schematisch den grundsätzlichen Aufbau eines DLL-Schaltkreises,

[0013] Fig. 2 schematisch eine Ausführungsform des erfindungsgemäß veränderbaren Filters des DLL-Schaltkreises von Fig. 1,

[0014] Fig. 3 eine weitere Ausführungsform des erfindungsgemäß veränderbaren Filters des DLL-Schaltkreises von Fig. 1, und

[0015] Fig. 4 eine Ausführungsform eines Transferelements zum gezielten Ein-/Ausschalten von Zählern des Filters von Fig. 2 bzw. Fig. 3.

[0016] Fig. 1 zeigt schematisch den allgemeinen Aufbau eines DLL-Schaltkreises zur Synchronisation von Signalen beim Informationsaustausch zwischen Schaltkreisen. Der DLL-Schaltkreis dient im einzelnen zur Synchronisation des internen Takts zwischen einem jeweiligen Schaltkreis, beispielsweise einem Computer-Chip und dem externen Takt des System aus den mehreren Schaltkreisen bzw. Computer-Chips nach Maßgabe der Phasendifferenz zwischen diesen beiden Takten abhängig von Phasenänderungen der synchronisierten Signale. Zu diesem Zweck umfasst der DLL-Schaltkreis neben einem ersten unveränderlichen Verzögerungsglied  $T_1$  am Eingang des Schaltkreises und einem unveränderlichen Verzögerungsglied  $T_0$  am Ausgang des Schaltkreises zwischen diesen beiden unveränderlichen Verzögerungsgliedern  $T_1$ ,  $T_0$  variable Verzögerungsglieder, die mit VCDL bezeichnet sind.

[0017] Die Ansprechempfindlichkeit des DLL-Schaltkrei-

ses wird durch einen Filter 10 festgelegt, dessen Ausgangssignal die Verzögerungsglieder VCDL beaufschlagt und der eingangsseitig von einem Phasendetektor PD beaufschlagt ist. Der Phasendetektor PD seinerseits ist eingangsseitig vom Ausgang des unveränderlichen Verzögerungsglieds  $T_1$  und andererseits über ein weiteres Verzögerungsglied dT von den Verzögerungsgliedern VCDL beaufschlagt.

[0018] Die Funktion des Filters 10 besteht darin, erst nach einem festgelegten mehrmaligen Eintreffen eines Eingangssignals ein Ausgangssignal zu treiben und damit die Ansprechempfindlichkeit des DLL-Schaltkreises zu bestimmen.

[0019] Üblicherweise wird der Filter 10 mit mehreren Zählern realisiert, die in Serie geschaltet und von dem Ausgangssignal des Phasendetektors PD durchlaufen werden. Eine derartige Implementierung des Zählers 10, jedoch mit erfindungsgemäß variabler Auslegung der Filtercharakteristik des Filters 10 ist in Fig. 2 gezeigt. Demnach umfasst der Filter 10 vier Zähler 11, 12, 13 und 14. Die Zähler 11 bis 14 sind in Reihe zwischen den Eingang und den Ausgang des Filters 10 geschaltet. Insofern entspricht der Aufbau des Filters 10 dem Aufbau bisheriger Filter in DLL-Schaltkreisen. Abweichend hiervon ist erfindungsgemäß vorgesehen, in einem Testmodus, der der Einstellung der Ansprechempfindlichkeit des DLL-Schaltkreises dient, gezielt einen oder mehreren der Zähler 11 bis 14 ein- bzw. auszuschalten, um die Synchronisation, den Regelbetrieb mit festgelegter Ansprechempfindlichkeit der Schaltung zu optimieren.

[0020] Bei der in Fig. 2 gezeigten Ausführungsform des Filters 10 ist ein Logikschaltkreis vorgesehen, der das gezielte Ein-/Ausschalten der Zähler 11 bis 14 übernimmt. Dieser Logikschaltkreis umfasst eine erste Logikeinheit 15, die durch ein Testmodussignal TM steuerbar ist, und deren vier Ausgänge den Zählern 11, 12, 13 und 14 zugeordnet sind. Außerdem umfasst der Logikschaltkreis eine zweite Logikeinheit 16 vor dem Ausgang des Filters 10 und vier Transferrgatter 17, 18, 19 und 20 an den Eingängen der Zähler 11 bis 14. Das Steuerungssignal von jedem Transferrgatter 17 bis 20 wird von jeweils einem Ausgangssignal der ersten Logikeinheit 15 beaufschlagt. Ferner weisen die vier Transferrgatter 17 bis 20 Ausgänge auf, die entweder mit vier Eingängen der Logikeinheit 16, oder mit den nachfolgenden Zählern (11 bis 14) verbunden sind.

[0021] Die Funktionsweise dieses Logikschaltkreises sieht vor, dass von der Logikeinheit 15 ausgehende Signale die Transferrgatter 17 bis 20 vor den Zählern 11 bis 14 durchschalten oder nicht durchschalten. Wenn ein Transferrgatter zum nachgeschalteten Zähler durchgeschaltet wird, sind z. B. nur die Transferrgatter 17 und 18 zu den nachgeschalteten Zählern durchgeschaltet, die Transferrgatter 19 und 20 dagegen nicht, so dass lediglich die beiden ersten Zähler 11 und 12 im Filter 10 aktiv sind. Dies bewirkt eine größere Empfindlichkeit als im Fall, dass sämtliche vier Zähler 11 bis 14 aktiv bzw. deren Transferrgatter durchgeschaltet sind.

[0022] Eine alternative Ausführungsform des Filters 10 von Fig. 2 ist in Fig. 3 gezeigt. Dieser Filter umfasst drei in Serie geschaltete Zähler 21, 22 und 23, denen wiederum jeweils ein Transferrgatter 24, 25 bzw. 26 vorgeschaltet ist. Der Logikschaltkreis bei dieser Ausführungsform besteht aus einer vom Testmodus-Signal TM gesteuerten Logikeinheit 27 zur Ansteuerung der Transferrgatter 24, 25 und 26 sowie den jeweiligen Zählern 21, 22, 23 nachgeschaltete Logikeinheiten 28, 29 und 30, die jeweils von einem Ausgangssignal des zugehörigen Transferrgatters 24, 25 bzw. 26 beaufschlagt sind.

[0023] Die Funktionsweise dieses Filters 10 sieht vor, dass die Logikeinheit 27 mittels Transferrgatter die Zähler ein- bzw. ausschalten kann. Beispielsweise den Zähler 22

mittels des Transferrgatters 25.

[0024] Die in Fig. 2 und 3 gezeigten Ausführungsformen des Filters 10 sind nicht auf die genannten Anzahlen von vier bzw. drei Zähler beschränkt. Außerdem zeigen Fig. 2 und 3 nur beispielhafte Ausführungsformen der Logikansteuerung der Zähler des Filters. Weitere Ausführungsformen liegen im Umfang der Erfindung, die durch die anliegenden Ansprüche festgelegt ist.

[0025] Fig. 4 zeigt schematisch ein Beispiel einer Ausführungsform eines Transferrgatters, das im erfindungsgemäß ausgebildeten Filter 10 zum Einsatz kommt. Demnach umfasst das Transferrgatter eine n-/p-FET-Kombination mit einem n-FET 31 und einem p-FET 32.

#### Patentansprüche

1. Schaltung zum Synchronisieren von Signalen beim Informationsaustausch zwischen Schaltkreisen, insbesondere zwischen Computer-Chips, eines Systems von Schaltkreisen, mit einem DLL(Delay Locked Loop)-Schaltkreis zum Synchronisieren des internen Takts zwischen einem jeweiligen Schaltkreis und dem externen Takt des Schaltkreis-Systems nach Maßgabe der Phasendifferenz zwischen diesen beiden Takten in Abhängigkeit von Phasenänderungen der Signale, wobei die Ansprechempfindlichkeit des DLL-Schaltkreises durch einen Filter (10) festgelegt ist, der eine erneute Synchronisation erst nach Eintreffen einer Mehrzahl von Phasenänderungs-Ereignissen freigibt, **dadurch gekennzeichnet**, dass der Filter (10) zur Einstellung der Ansprechempfindlichkeit des DLL-Schaltkreises veränderbar ausgelegt ist.
2. Schaltung nach Anspruch 1, wobei der Filter (10) mehrere Zähler (11 bis 14, 21, 22, 23) zur Erzeugung eines Synchronisationsfreigabesignals umfasst, dadurch gekennzeichnet, dass ein Logikschaltkreis (15, 16, 27 bis 30) zum Aktivieren/Deaktivieren der Zähler (11 bis 14, 21, 22, 23) vorgesehen ist.
3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, dass der Logikschaltkreis (15, 16, 27 bis 30) zur Optimierung der Synchronisation vor dem Regelbetrieb mit festgelegter Ansprechempfindlichkeit der Schaltung in einen Testmode zur Einstellung der Ansprechempfindlichkeit versetzbar ist.
4. Schaltung nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass der Logikschaltkreis (15, 16, 27 bis 30) Transferrgatter (17 bis 20, 24, 25, 26) zum gezielten Ein-/Ausschalten der Zähler (11 bis 14, 21, 22, 23) aufweist.
5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, dass die Transferrgatter (17 bis 20, 24, 25, 26) dazu ausgelegt sind, einen bestimmten Zähler oder eine Gruppe von Zählern ein-/auszuschalten, während die übrigen Zähler bzw. der übrige Zähler eingeschaltet bleiben bzw. bleibt.
6. Schaltung nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass die Transferrgatter (17 bis 20, 24, 25, 26) eine n-/p-FET-Kombination (31, 32) umfasst.

---

Hierzu 2 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1

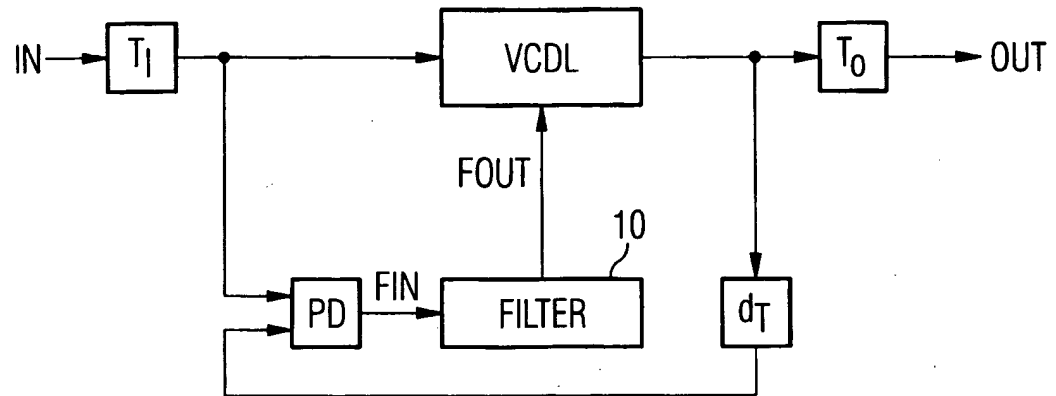


FIG 2

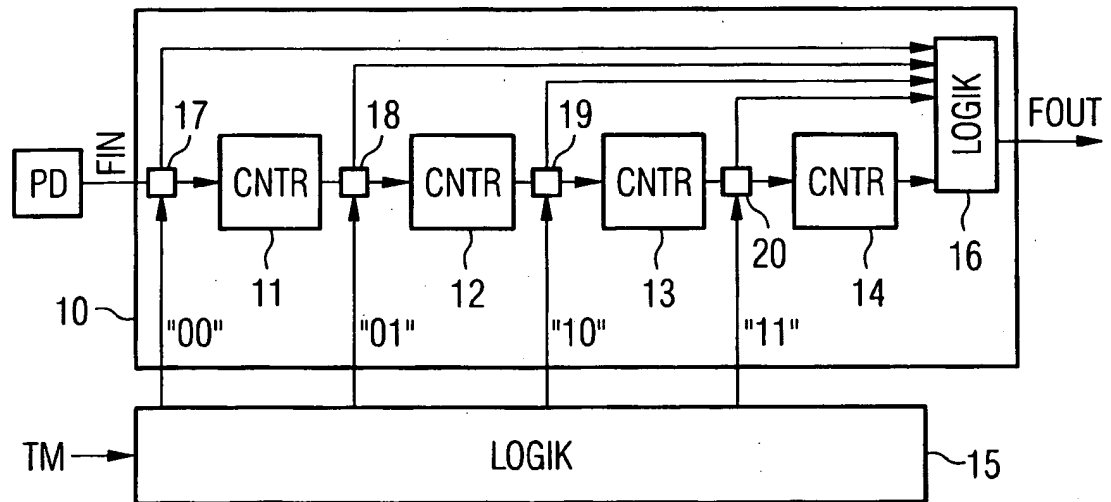


FIG 3

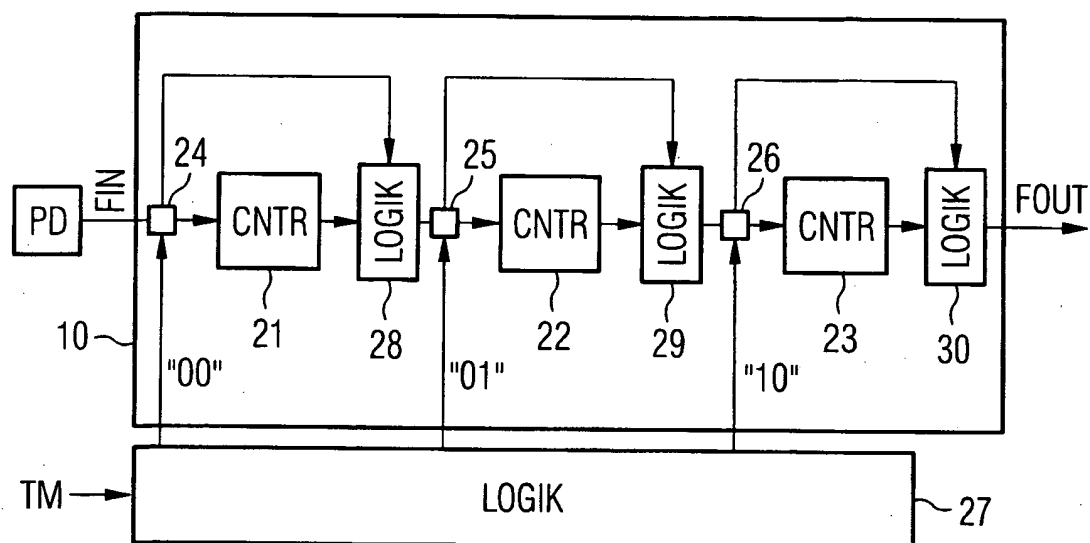
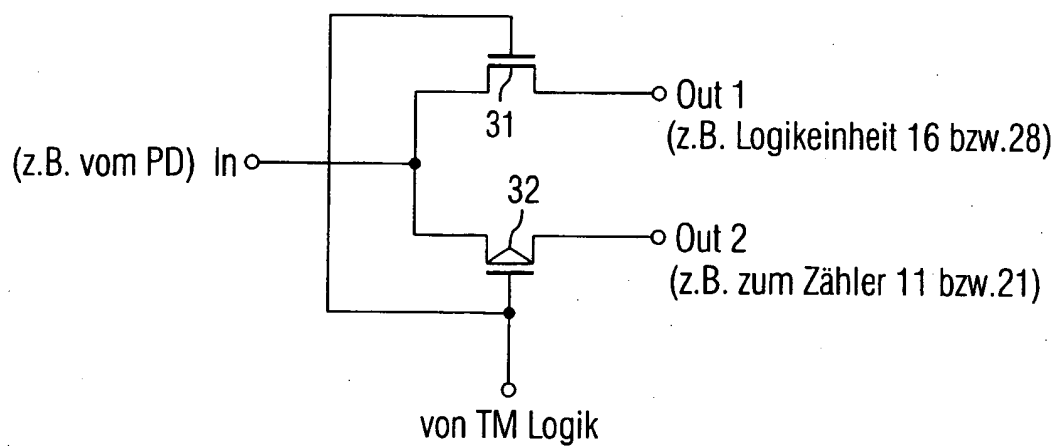


FIG 4



## Circuit for synchronizing signals during the exchange of information between circuits

Patent Number: US2002158677  
 Publication date: 2002-10-31  
 Inventor(s): ROHLER MARKUS (DE); STIEF REIDAR (DE)  
 Applicant(s):  
 Requested Patent: DE10120764  
 Application Number: US20020134152 20020429  
 Priority Number(s): DE20011020764 20010427  
 IPC Classification: H03L7/06  
 EC Classification: H03L7/081A1; H03L7/093  
 Equivalents:

### Abstract

A circuit for synchronizing signals during an exchange of information between circuits, in particular between computer chips, of a system of circuits, is described. The configuration has a delay locked loop (DLL) circuit for synchronizing an internal clock between a respective circuit and an external clock of the circuit system according to the phase difference between the two clocks in a manner dependent on phase changes in the signals. A response sensitivity of the DLL circuit is defined by a filter, which enables a renewed synchronization only after the arrival of a plurality of phase change events. The filter provided for setting the response sensitivity of the DLL circuit is of a variable configuration

Data supplied from the esp@cenet database - I2

## Description

### BACKGROUND OF THE INVENTION

#### Field of the Invention

[0001] The invention relates to a circuit for synchronizing signals during the exchange of information between circuits, in particular between computer chips, of a system of circuits, having a delay locked loop (DLL) circuit for synchronizing the internal clock between a respective circuit and the external clock of the circuit system according to the phase difference between these two clocks in a manner dependent on phase changes in the signals. The response sensitivity of the DLL circuit being defined by a filter, which enables a renewed synchronization only after the arrival of a plurality of phase change events.

[0002] Computer chips are operated with ever faster clock frequencies. Information is exchanged between the computer chips with signals that have to comply with defined timing specifications. The timing margins available in this case decrease at increasingly faster clock frequencies. Therefore, with increasingly faster clock frequencies, the signals which are transmitted in the context of the exchange of information between the computer chips have to be synchronized ever more accurately with respect to one another.

[0003] The task of the synchronization discussed is performed by a delay locked loop circuit (referred to below as a DLL circuit for short) implemented on the respective computer chip. The DLL circuit synchronizes the internal clock within the computer chip with the clock of the circuit system or the system of computer chips. For this purpose, the DLL circuit contains a phase detector which determines the phase difference between the internal clock of the computer chip and the external clock of the overall system. Furthermore, the DLL circuit contains variable delay elements (also referred to below as VCDL) that are connected or disconnected as required.

[0004] In order that the DLL circuit does not connect or disconnect delay elements in the case of every phase change, which, in principle, can occur in every clock cycle, a filter is provided in the DLL circuit. The function of the filter is to drive an output signal only after repeated arrival of an input signal and thus to trigger the synchronization by the DLL circuit only after a specific number of clock cycles. The filter is generally implemented on the basis of a plurality of counters and it determines, as discussed above, the sensitivity of the DLL circuit to phase changes. The number of counters in the filter depends on the specific computer chip and the overall system of computer chips and has hitherto formed an invariable quantity.

### SUMMARY OF THE INVENTION

[0005] It is accordingly an object of the invention to provide a circuit for synchronizing signals during the exchange of information between circuits which overcomes the above-mentioned disadvantages of the prior art devices of this general type, whose sensitivity to phase changes is adjustable.

[0006] With the foregoing and other objects in view there is provided, in accordance with the invention, a configuration for synchronizing signals during an exchange of information between circuits of a circuit system. The configuration contains a delay locked loop circuit for synchronizing an internal clock of one of the circuits and an external clock of the circuit system according to a phase difference between the internal clock and the external

clock in a manner dependent on phase changes in the signals. The delay locked loop circuit has a filter for defining a response sensitivity of the delay locked loop circuit. The filter enables a renewed synchronization only after an arrival of a plurality of phase change events. The filter has a variable configuration and includes a plurality of counters for generating a synchronization enable signal, and a logic circuit connected to and activating/deactivating the counters.

[0007] Accordingly, in contrast to the prior art, which provides a fixed filter configuration, according to the invention the filter contained in the DLL circuit is of a variable configuration. Depending on the construction of the filter, various measures are taken into consideration for altering the filter characteristics. For the case where the filter contains a plurality of counters for generating a synchronization enable signal, the invention provides a logic circuit for activating/deactivating the counters.

[0008] The setting of the sensitivity of the DLL circuit to phase changes of input signals plays a significant part in the preliminary stages of the enabling of computer chips or generally of circuits which require a synchronization in order to set the synchronization to the required response sensitivity in a targeted manner before the control operation with a defined response sensitivity. As soon as this setting has been effected, the logic circuit for setting the response sensitivity of the DLL circuit can be deactivated, if appropriate by fuses.

[0009] In addition to the principal advantage according to which the synchronization between the computer chips of the system of computer chips can be optimally set according to the invention in the preliminary stages of the control operation, a further advantage is afforded in a reduction in the lock time of the DLL circuit, i.e. a reduction in the duration until the phasing of the DLL circuit. Furthermore, the invention achieves regulation of the DLL current consumption, which is critically determined by the number of time delay changes per unit time and, on account of the filter components that are only partly activated according to the invention, is lower than in the case of constant operation of all the filter components. Finally, the synchronization circuit configured according to the invention ensures optimization of the control speed of the overall system containing circuits or computer chips.

[0010] When the filter is constructed from a plurality of counters, the activation/deactivation thereof for the purpose of changing the filter characteristic can be achieved without a great outlay by a transfer gate connected upstream of the respective counter of the filter. The transfer gate can be configured in various ways. It is preferably configured to switch on/off a specific counter or a group of counters while the remaining counters or the remaining counter remain or remains switched on. The transfer gate can be implemented cost-effectively by an n-p-FET combination.

[0011] In accordance with an added feature of the invention, the logic circuit can be put into a test mode for setting the response sensitivity for optimizing synchronization before a control operation with a defined response sensitivity of the configuration is performed.

[0012] In accordance with another feature of the invention, the logic circuit has transfer gates connected to and switching on/off the counters in a targeted manner.

[0013] Other features which are considered as characteristic for the invention are set forth in the appended claims.

[0014] Although the invention is illustrated and described herein as embodied in a circuit for synchronizing signals during the exchange of information between circuits, it is nevertheless not intended to be limited to the details shown, since various modifications and structural changes may be made therein without departing from the spirit of the invention and within the scope and range of equivalents of the claims.

[0015] The construction and method of operation of the invention, however, together with additional objects and advantages thereof will be best understood from the following description of specific embodiments when read in connection with the accompanying drawings.

#### BRIEF DESCRIPTION OF THE DRAWINGS

[0016] FIG. 1 is a block diagram of a basic construction of a DLL circuit according to the invention;

[0017] FIG. 2 is a block diagram of an embodiment of a variable filter of the DLL circuit shown in FIG. 1;

[0018] FIG. 3 is a block diagram of a further embodiment of the variable filter of the DLL circuit shown in FIG. 1; and

[0019] FIG. 4 is a schematic diagram of a transfer gate for switching on/off, in a targeted manner, counters of the filter shown in FIG. 2 and FIG. 3.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0020] Referring now to the figures of the drawing in detail and first, particularly, to FIG. 1 thereof, there is shown a general construction of a delay locked loop (DLL) circuit for the synchronization of signals during the exchange of information between circuits. The DLL circuit specifically serves for the synchronization of an internal clock between a respective circuit, for example a computer chip, and an external clock of a system containing a plurality of circuits or computer chips according to the phase difference between the two clocks depending on phase changes of the synchronized signals. For this purpose, in addition to a first invariable delay element T1 at an input of the circuit and an invariable delay element T0 at an output of the circuit, the DLL circuit contains, between these two invariable delay elements T1, T0, variable delay elements designated by VCDL.

[0021] The response sensitivity of the DLL circuit is defined by a filter 10, whose output signal acts on the delay elements VCDL and which is acted on by a phase detector PD on the input side. For its part, the phase detector PD is acted on, on the input side, by the output of the invariable delay element T1 and, on the other hand, via a further delay element dT, by the delay elements VCDL.

[0022] The function of the filter 10 consists in driving an output signal only after a defined repeated arrival of an input signal and thus in determining the response sensitivity of the DLL circuit.

[0023] The filter 10 is usually realized with a plurality of counters that are connected in series and through which passes the output signal of the phase detector PD. Such an implementation of the filter 10, but with the filter characteristic of the filter 10 being of a variable configuration according to the invention, is shown in FIG. 2.

Accordingly, the filter 10 contains four counters 11, 12, 13 and 14. The counters 11 to 14 are connected in series



between the input and the output of the filter 10. In this respect, the construction of the filter 10 corresponds to the construction of previous filters in DLL circuits. In a departure therefrom, the invention provides, in a test mode which serves for setting the response sensitivity of the DLL circuit, for one or more of the counters 11 to 14 to be switched on or off in a targeted manner in order to optimize the synchronization, the control operation with a defined response sensitivity of the circuit.

[0024] In the embodiment of the filter 10 that is shown in FIG. 2, a logic circuit is provided which performs the targeted switching on/off of the counters 11 to 14. The logic circuit contains a first logic unit 15, which can be controlled by a test mode signal TM and whose four outputs are assigned to the counters 11, 12, 13 and 14. Moreover, the logic circuit contains a second logic unit 16 upstream of the output of the filter 10 and four transfer gates 17, 18, 19 and 20 at the inputs of the counters 11 to 14. A control signal of each of the transfer gates 17 to 20 is acted on by a respective output signal of the first logic unit 15. Furthermore, the four transfer gates 17 to 20 have outputs which are connected either to four inputs of the logic unit 16, or to the downstream counters 11 to 14.

[0025] The method of operation of the logic circuit provides for signals proceeding from the first logic unit 15 to activate or not activate the transfer gates 17 to 20 upstream of the counters 11 to 14. If a transfer gate is activated with respect to the counter connected downstream, e.g. only the transfer gates 17 and 18 are activated with respect to the counters connected downstream, whereas the transfer gates 19 and 20 are not activated, so that only the first two counters 11 and 12 in the filter 10 are active. This affects a greater sensitivity than in the case where all four counters 11 to 14 are active or their transfer gates are activated.

[0026] The phase detector PD outputs a clock signal depending on the phase difference between the signals that are fed to the delay elements and output by the delay elements. Depending on the switching position of the first transfer gate 17, the clock signal is fed either to the second logic unit 16 or to the first counter 11. The first counter 11 counts up as far as a maximum count depending on the number of clock signals. Upon reaching the maximum count, the first counter 11 outputs a clock signal to the second transfer gate 18. Depending on the switching position of the second transfer gate 18, the clock signal is passed to the second logic unit 16 or the second counter 12. The second counter 12 operates like the first counter 11. After reaching the maximum count, the second counter 12 outputs a clock signal and forwards it to the third transfer gate 19. Depending on the switching position, the third transfer gate 19 passes the clock signal to the second logic unit 16 or to the third counter 13. The third and fourth counters 13, 14 function like the first and second counters. The fourth and fifth transfer gates function like the second and third transfer gates. The second logic unit 16 is configured as an OR gate and forwards a clock signal obtained from the transfer gates or from the fourth counter 14 to the output FOUT. In a simple embodiment, when a clock signal is obtained from the delay element VCDL, a further delay element is connected into the signal path between input IN and output OUT. However, it is also possible to provide a time window in which the clock signals output by the second logic unit 16 are counted and, depending on the number, the number of delay elements to be connected into the signal path is defined.

[0027] An alternative embodiment of the filter 10 of FIG. 2 is shown in FIG. 3. A filter 10' contains three series-connected counters 21, 22 and 23, upstream of which there is again connected in each case a transfer gate 24, 25 and 26, respectively. In this embodiment, the logic circuit contains a logic unit 27, controlled by the test mode signal TM, for driving the transfer gates 24, 25 and 26 and also logic units 28, 29 and 30, which are connected downstream of the respective counters 21, 22, 23 and are each acted on by an output signal of the associated transfer gate 24, 25 and 26, respectively.

[0028] The method of operation of the filter 10' provides that the logic unit 27 can switch the counters on or off by the transfer gates. By way of example the counter 22 by the transfer gate 25.

[0029] The transfer gates 24 to 26 switch a supplied clock signal, depending on the switching position, either to the assigned counter 21, 22, 23 or to the assigned logic 28, 29, 30. The logic modules 28, 29, 30 are embodied as OR gates and forward the supplied clock signal to the respective connected transfer gates 25, 26 or to the output FOUT.

[0030] The embodiments of the filters 10, 10' that are shown in FIGS. 2 and 3 are not restricted to the abovementioned numbers of four and three counters, respectively. Moreover, FIGS. 2 and 3 only show exemplary embodiments of the logic driving of the counters of the filter.

[0031] FIG. 4 diagrammatically shows an example of an embodiment of a transfer gate that is used in the filters 10, 10' configured according to the invention. Accordingly, the transfer gate contains an n-p-FET combination with an n-FET 31 and a p-FET 32.

Data supplied from the esp@cenet database - I2

## Claims

We claim:

1. A configuration for synchronizing signals during an exchange of information between circuits of a circuit system, the configuration comprising:
  - a delay locked loop circuit for synchronizing an internal clock of one of the circuits and an external clock of the circuit system according to a phase difference between the internal clock and the external clock in a manner dependent on phase changes in the signals, said delay locked loop circuit having a filter for defining a response sensitivity of the delay locked loop circuit, said filter enabling a renewed synchronization only after an arrival of a plurality of phase change events, said filter having a variable configuration and includes:
  - a plurality of counters for generating a synchronization enable signal; and
  - a logic circuit connected to and activating/deactivating said counters.

2. The configuration according to claim 1, wherein said logic circuit can be put into a test mode for setting the response sensitivity for optimizing synchronization before a control operation with a defined response sensitivity of

the configuration is performed.

3. The configuration according to claim 1, wherein said logic circuit has transfer gates connected to and switching on/off said counters in a targeted manner.

4. The configuration according to claim 3, wherein said transfer gates switch on/off a specific counter of said counters or a group of said counters, while any remaining ones of said counters remain switched on.

5. The circuit according to claim 3, wherein said transfer gates have an n-/p-FET combination.

6. The configuration according to claim 1, wherein the circuits are computer chips.

---

Data supplied from the esp@cenet database - I2